Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе Lab\_MS\_SV\_3**

Дисциплина: Автоматизация проектирования дискретных устройств (на английском языке)

Выполнил студент гр. 5130901/10101 М.Т. Непомнящий

(подпись)

Руководитель А.А. Федотов

(подпись)

Санкт-Петербург

2024

**Оглавление**

[1. Задание 4](#_Toc161170157)

[2. Ход работы 4](#_Toc161170158)

[2.1. Создание проекта 4](#_Toc161170159)

[Подготовка проекта 4](#_Toc161170160)

[Начало работы в PD 5](#_Toc161170161)

[2.2. Подключение тактового сигнала 7](#_Toc161170162)

[2.3. Подключение Avalon-MM интерфейсов 8](#_Toc161170163)

[2.4. Настройка компонентов 9](#_Toc161170164)

[Настройка my\_masterA 9](#_Toc161170165)

[Настройка my\_masterB 10](#_Toc161170166)

[Настройка st\_splitter 10](#_Toc161170167)

[Настройка st\_delay 11](#_Toc161170168)

[2.5. Подключение Avalon-ST интерфейсов 11](#_Toc161170169)

[2.6. Анализ системы 12](#_Toc161170170)

[Проверка блока 12](#_Toc161170171)

[Отладка модулей с проблемными подключениями 13](#_Toc161170172)

[Анализ с помощью Schematic 14](#_Toc161170173)

[2.7. Генерация системы 15](#_Toc161170174)

[2.8. Конец работы 16](#_Toc161170175)

[3. Вывод 17](#_Toc161170176)

**Список иллюстраций**

[Рис. 1 – Структура проекта 4](#_Toc161170177)

[Рис. 2 – Детали проекта 4](#_Toc161170178)

[Рис. 3 – Задания пути к библиотеке IP 5](#_Toc161170179)

[Рис. 4 – Исходное окно PD 5](#_Toc161170180)

[Рис. 5 – Добавление компонентов 6](#_Toc161170181)

[Рис. 6 – Изменение имён компонентов 6](#_Toc161170182)

[Рис. 7 – Подключение тактового сигнала (1) 7](#_Toc161170183)

[Рис. 8 – Подключение тактового сигнала (2) 7](#_Toc161170184)

[Рис. 9 – Подключение Avalon-MM интерфейсов 8](#_Toc161170185)

[Рис. 10 – Редактирование адресов 8](#_Toc161170186)

[Рис. 11 – Фиксация адресов 9](#_Toc161170187)

[Рис. 12 – Проверка корректности адресов 9](#_Toc161170188)

[Рис. 13 – Настройка компонента my\_masterA 9](#_Toc161170189)

[Рис. 14 – Настройка компонента my\_masterB 10](#_Toc161170190)

[Рис. 15 – Настройка компонента st\_splitter 10](#_Toc161170191)

[Рис. 16 – Настройка компонента st\_delay 11](#_Toc161170192)

[Рис. 17 – Установка подключений компонентов 11](#_Toc161170193)

[Рис. 18 – Экспорт выводов 11](#_Toc161170194)

[Рис. 19 – Проверка поля Messages на отсутствие ошибок 12](#_Toc161170195)

[Рис. 20 – Символ системы 12](#_Toc161170196)

[Рис. 21 – Show System with QSYS Interconnect 12](#_Toc161170197)

[Рис. 22 – Анализ проблемных подключений 13](#_Toc161170198)

[Рис. 23 – Исправленный модуль clk 13](#_Toc161170199)

[Рис. 24 – Повторное выполнение Show System with QSYS Interconnect 14](#_Toc161170200)

[Рис. 25 – Проверка отсутствия ошибок в системе 14](#_Toc161170201)

[Рис. 26 – Schematic (фильтр по in) 14](#_Toc161170202)

[Рис. 27 – Schematic (фильтр по clk) 15](#_Toc161170203)

[Рис. 28 – Предустановки окна Genreration 15](#_Toc161170204)

[Рис. 29 – Проверка успешности генерации HDL 16](#_Toc161170205)

[Рис. 30 – Сообщение с указанием пакетов, которые можно подключить 16](#_Toc161170206)

[Рис. 31 – Анализ рабочей папки проекта 16](#_Toc161170207)

# Задание

Средствами Platform Designer создать структуру проекта, представленную на рисунке ниже:

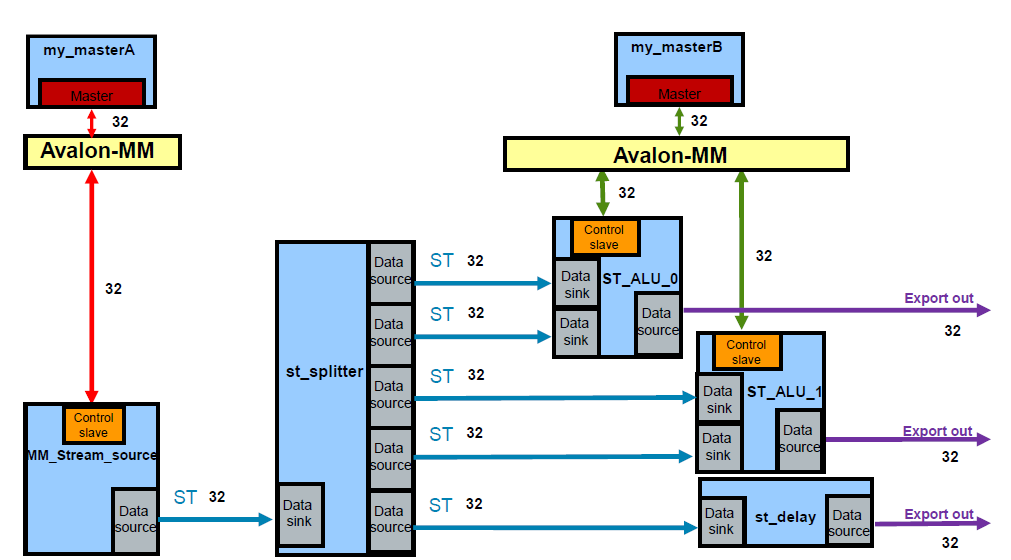


Рис. 1 – Структура проекта

# Ход работы

## Создание проекта

### Подготовка проекта

Создадим проект, установив следующие значения:

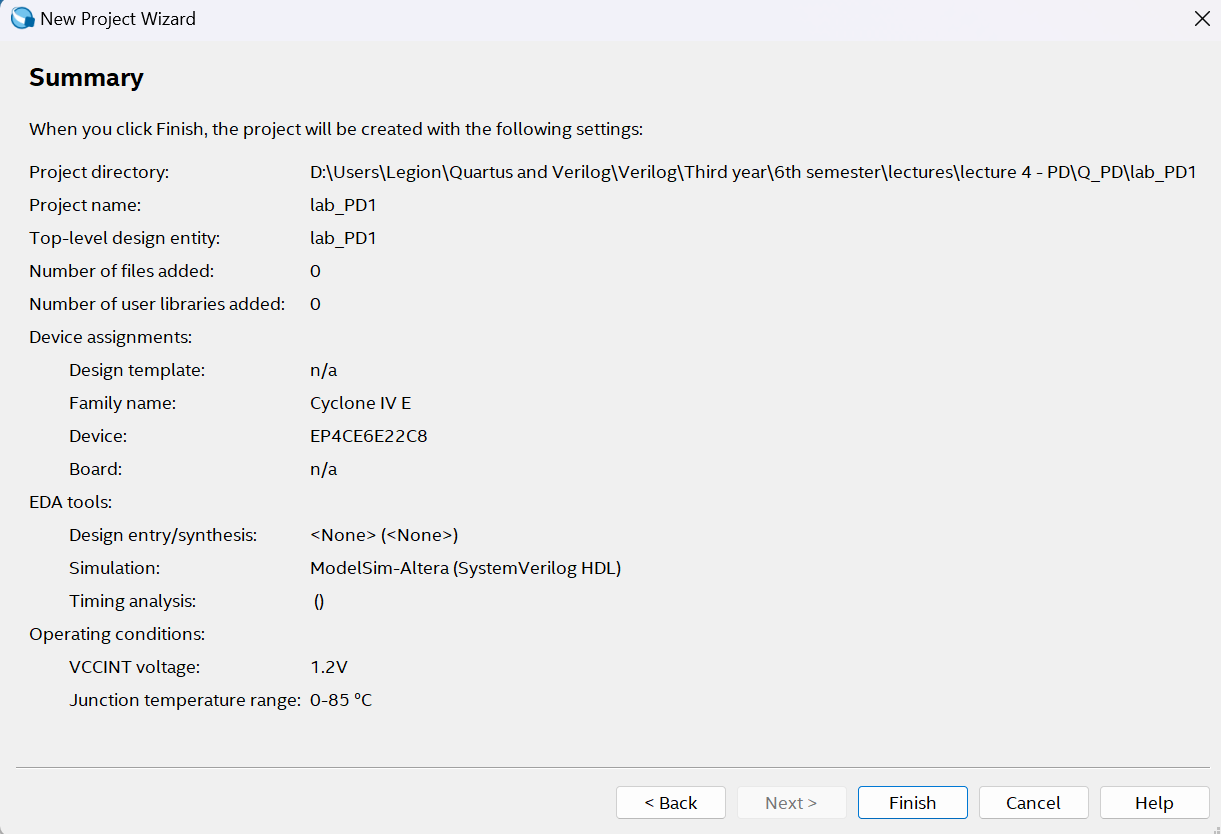


Рис. 2 – Детали проекта

Перейдём по пути Tools → Options → IP Settings → IP Catalog Search Locations и зададим путь к библиотеке IP:

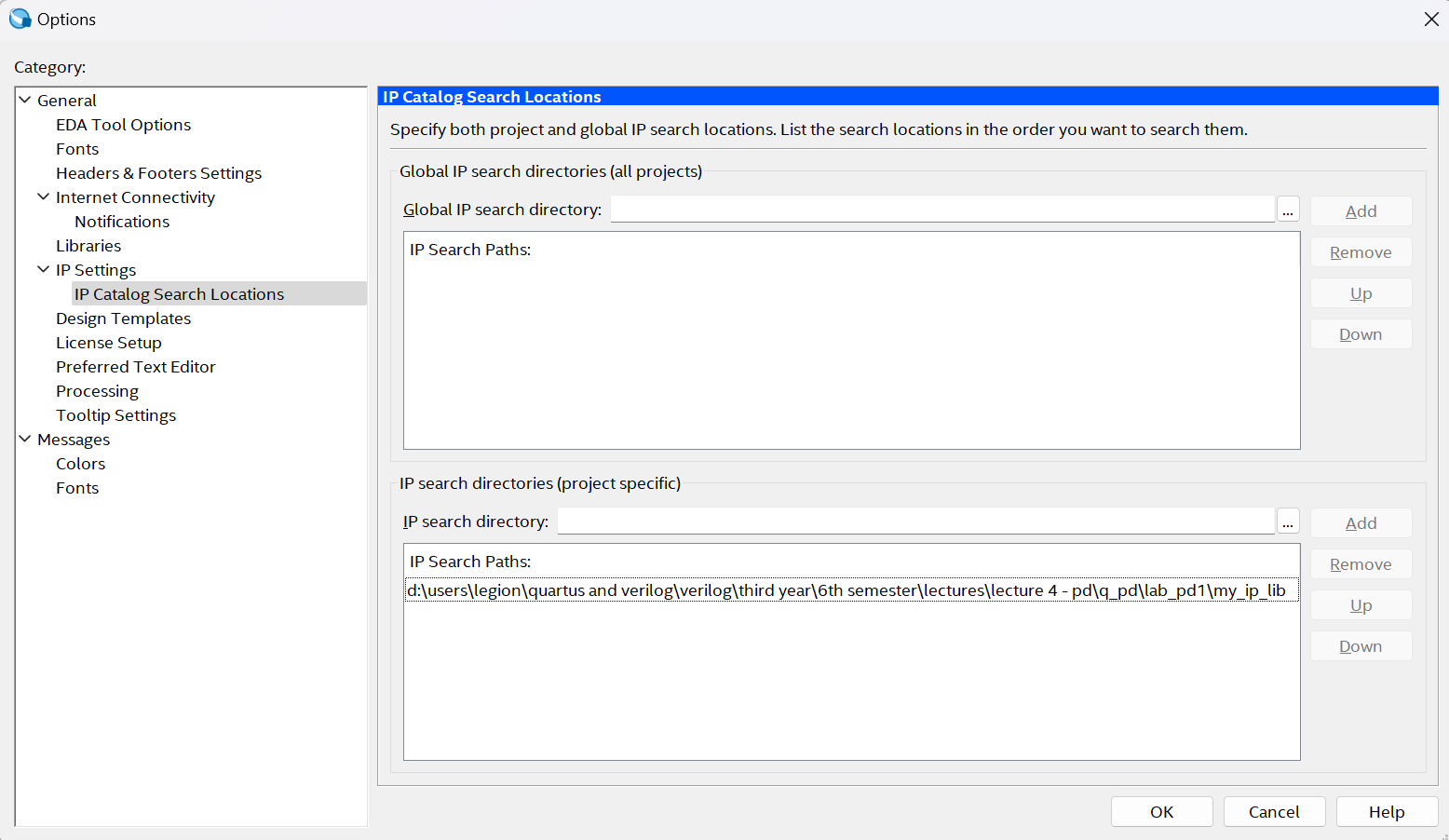


Рис. 3 – Задания пути к библиотеке IP

### Начало работы в PD

Откроем PD и сохраним систему:

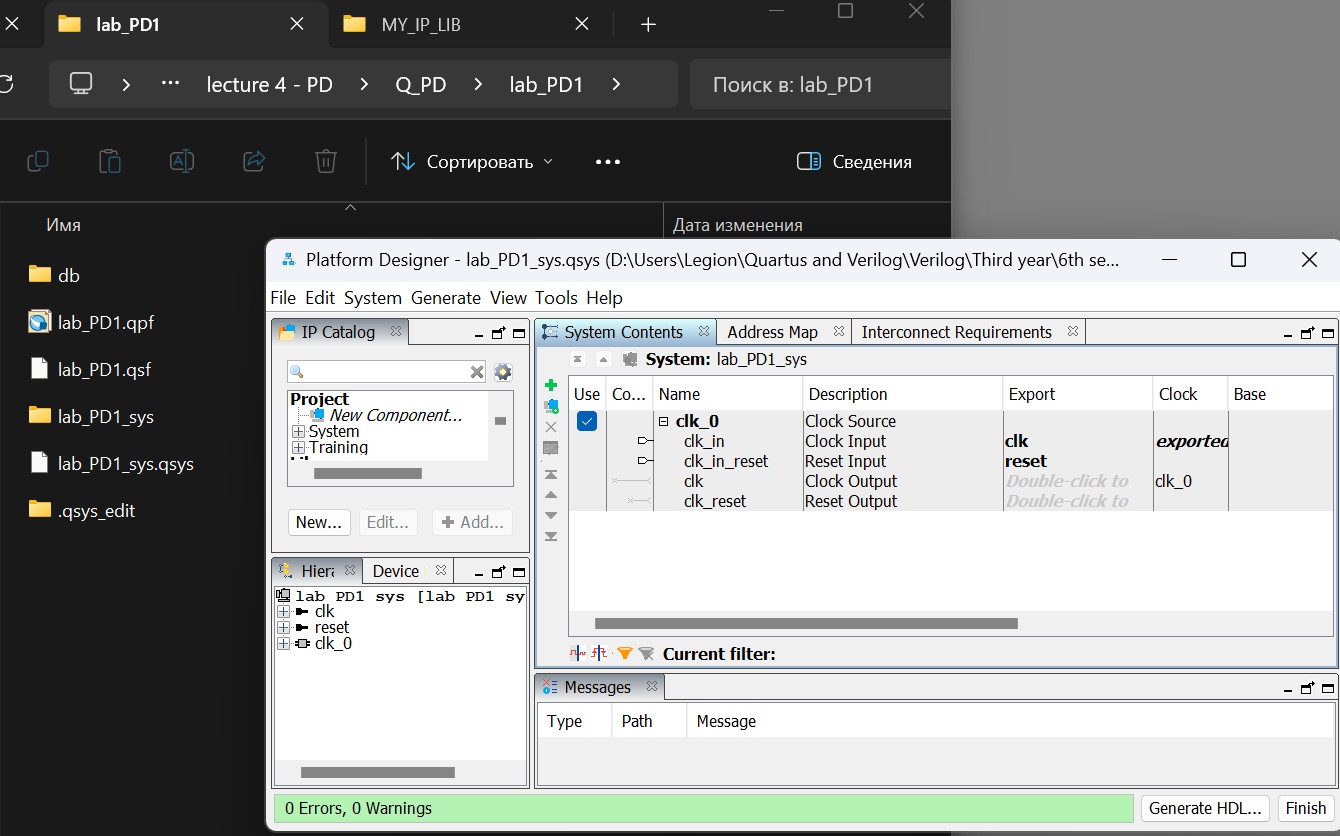


Рис. 4 – Исходное окно PD

Добавим компоненты: my\_masterA\_component, MM\_stream\_source\_component, my\_masterB\_component, Avalon-ST Splitter, Avalon-ST Delay и ST\_ALU\_component (2 компонента). Таким образом, получим следующую картинку (в окне Hierarchy слева отображаются все добавленные компоненты):

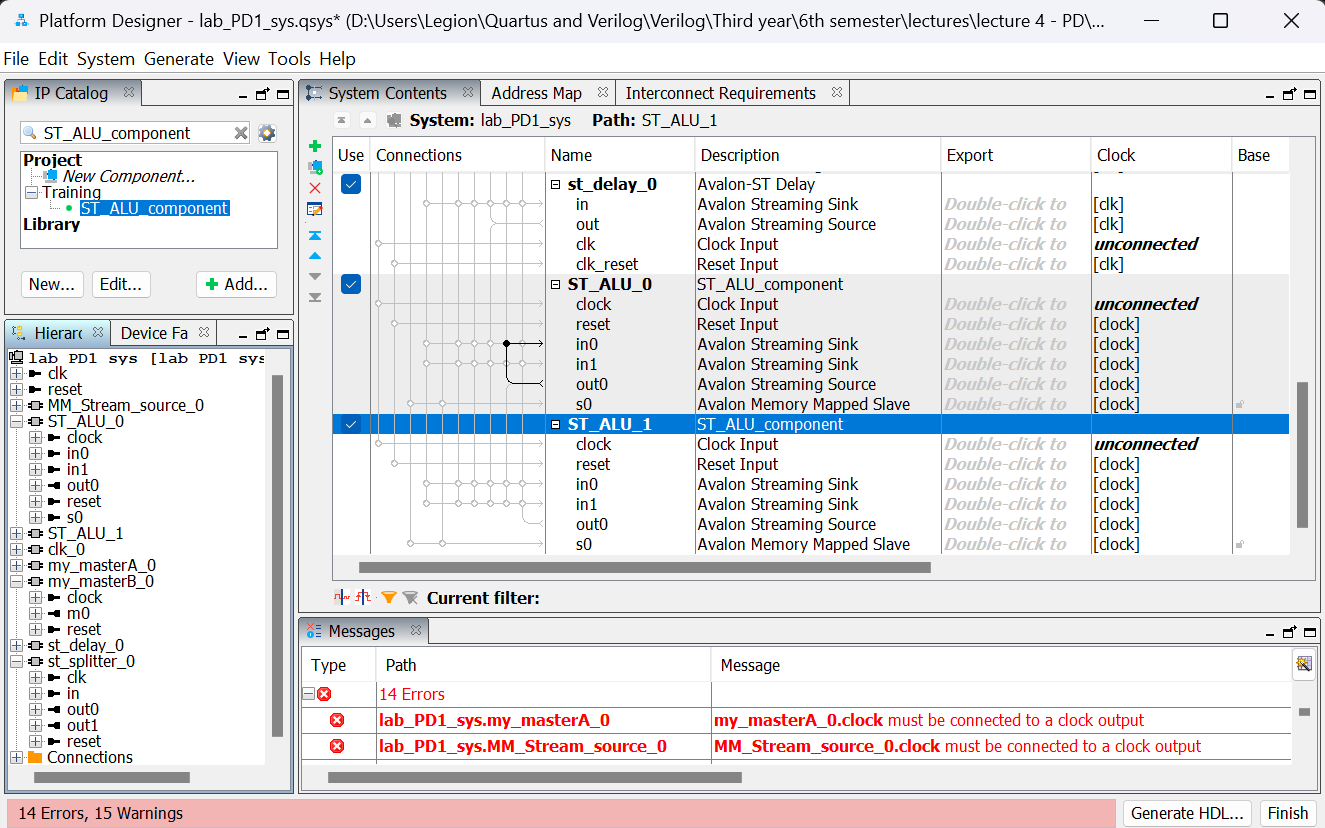


Рис. 5 – Добавление компонентов

Наличие ошибок связано с тем, что настройка модулей не производилась, т. к. она будет рассмотрена дальше.

Переименуем некоторые из компонентов и сохраним систему:

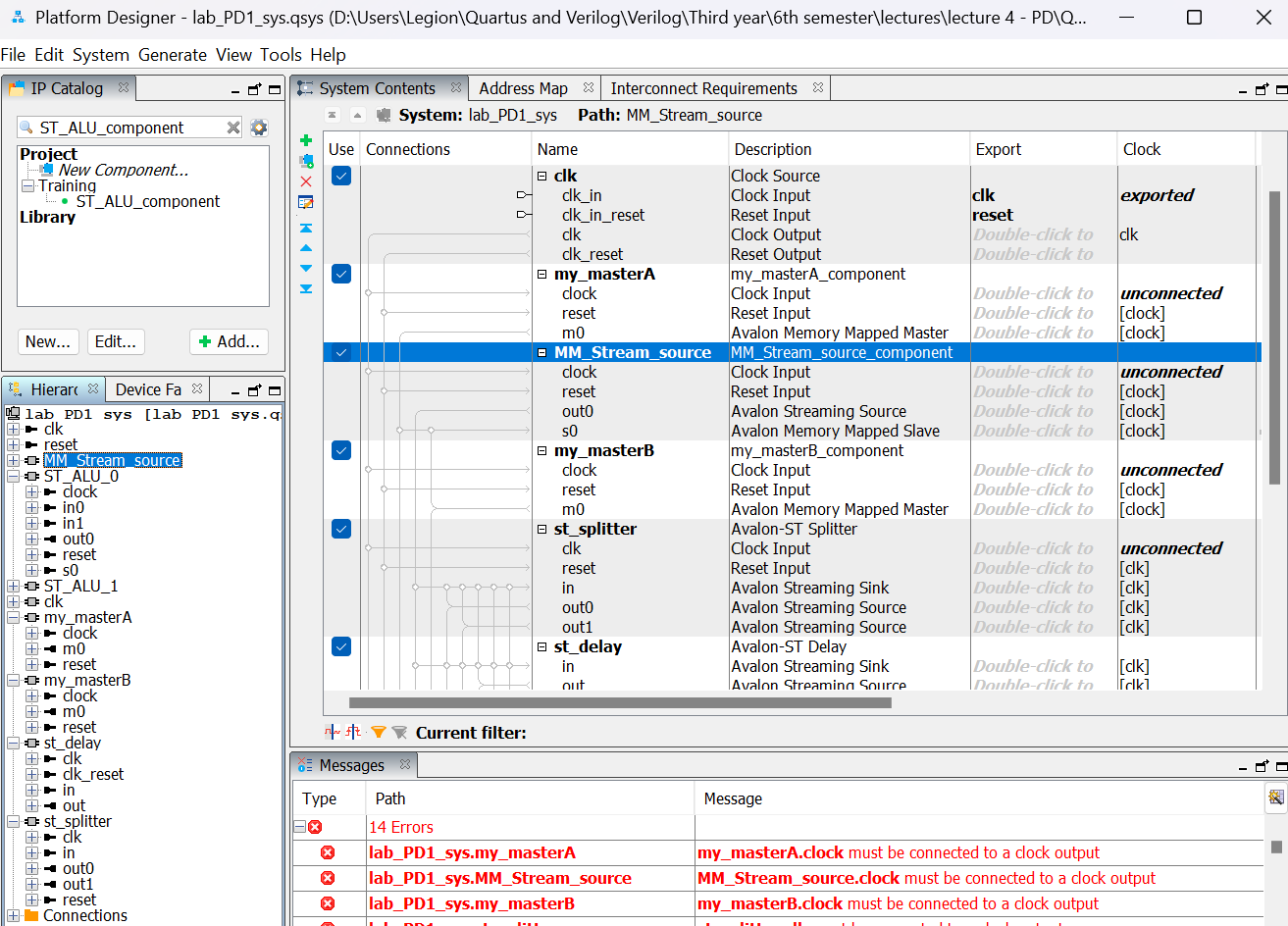


Рис. 6 – Изменение имён компонентов

## Подключение тактового сигнала

Выделим интерфейс clk компонента clk, и, открыв его соединения, выберем подключение ко всем тактовым входам:

Изображение выглядит как текст, программное обеспечение, Шрифт, число

Автоматически созданное описание

Рис. 7 – Подключение тактового сигнала (1)

Подключим тактовый сигнал, выполнив Filter → Clock and Reset Interfaces, убедимся, что соединения выполнены. Также, подключим сигнал Reset, выполнив System → Create Global Reset Network, и убедимся, что соединения для reset также выполнены:

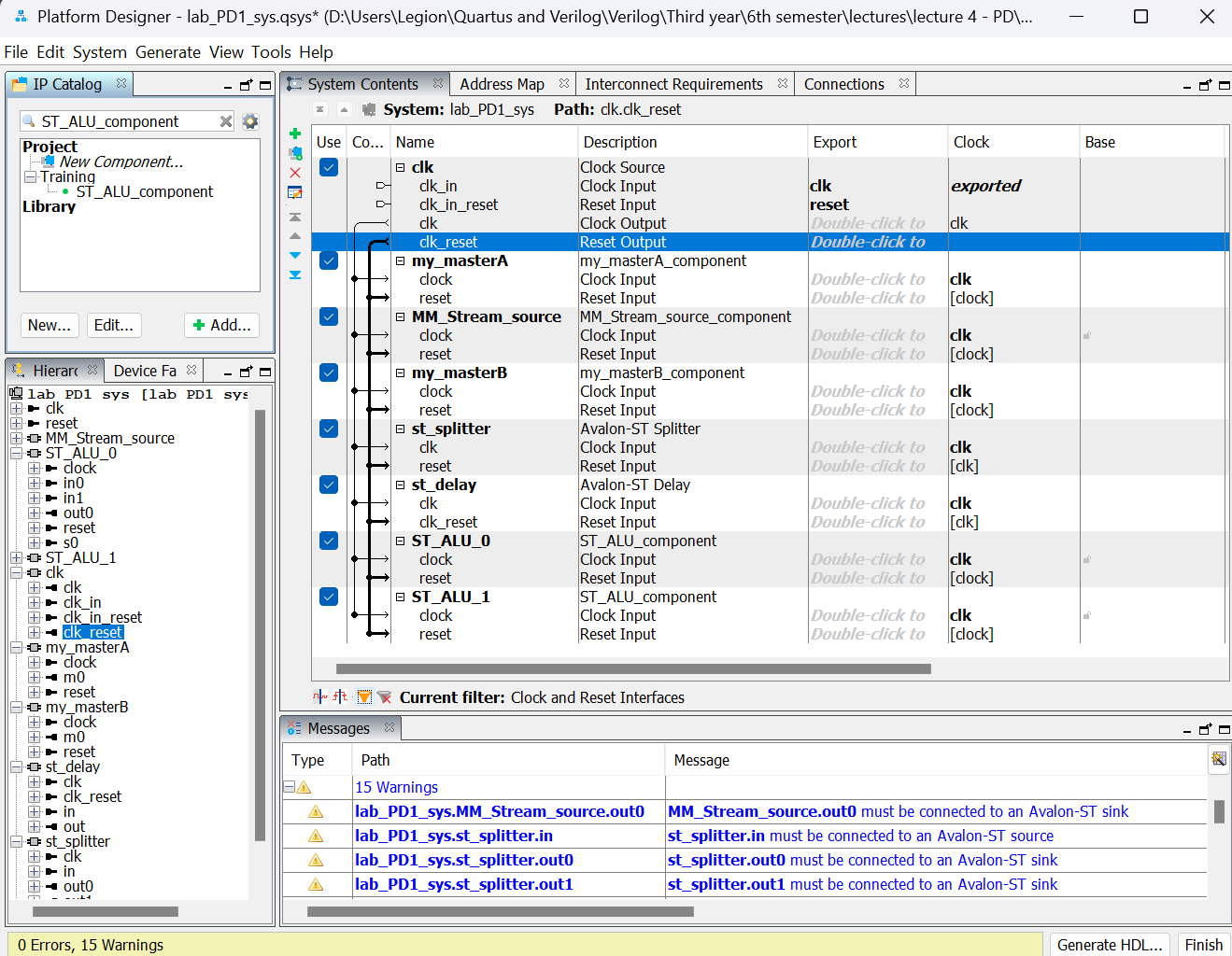


Рис. 8 – Подключение тактового сигнала (2)

## Подключение Avalon-MM интерфейсов

Выполним Filter → Avalon-MM Interfaces и выберем соединения так, как показано на картинке ниже

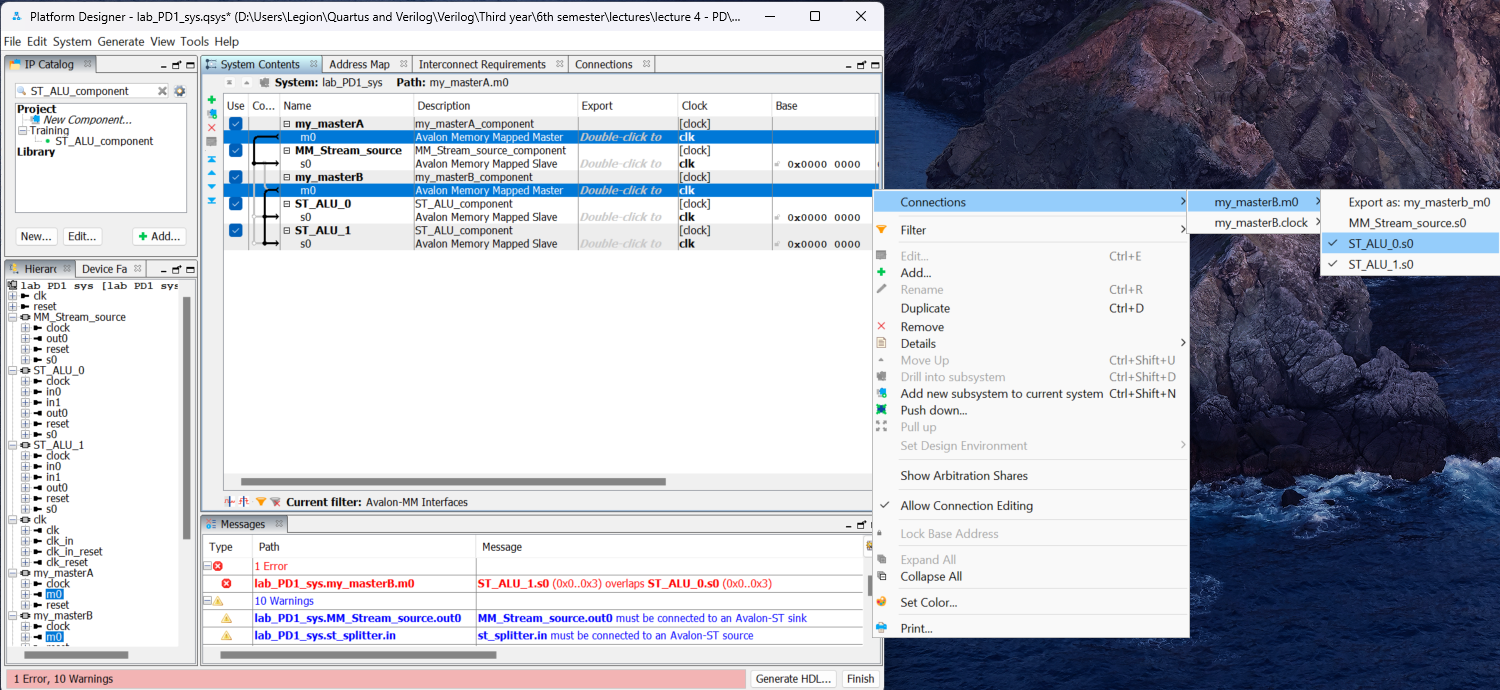


Рис. 9 – Подключение Avalon-MM интерфейсов

Заметим, что адреса не совпадают (сверху так, как должно быть, снизу то, что получилось):

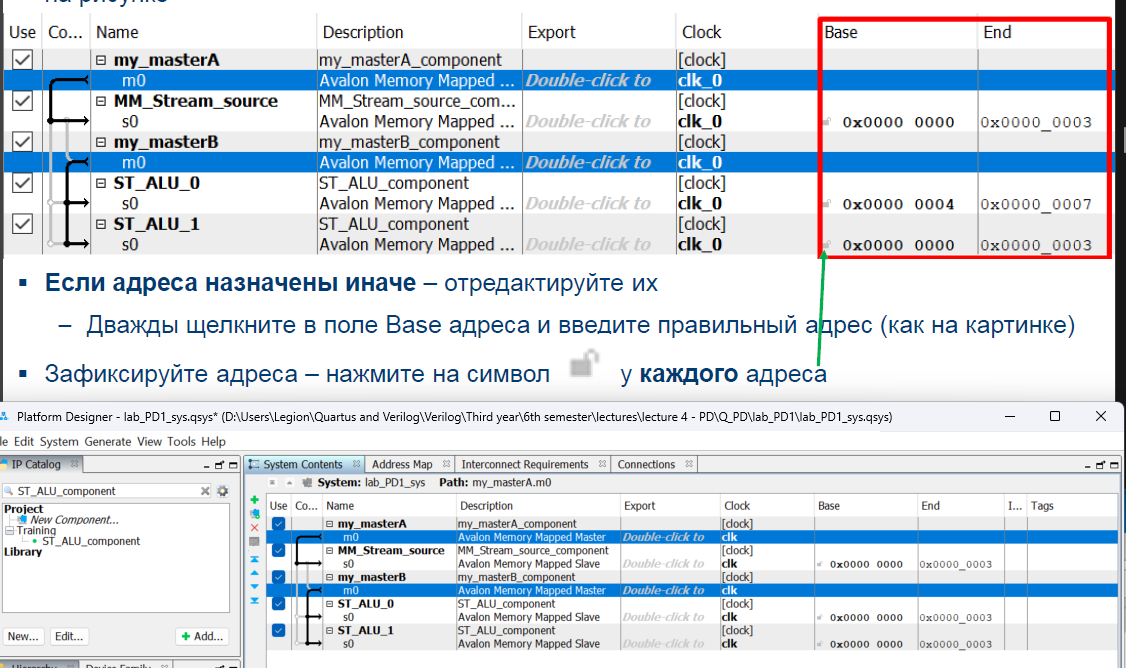


Рис. 10 – Редактирование адресов

Поменяем адреса, проверим, что они верны, и зафиксируем их (нажать символ замка у каждого из адресов):

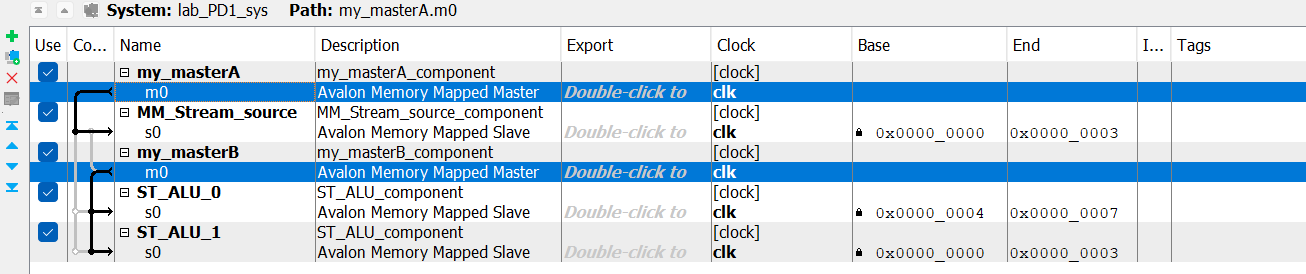


Рис. 11 – Фиксация адресов

Откроем окно закладок View → Address Map. В окне появятся Ведущие (master) и ведомые (slave) шины, т. е. столбцы и строки Avalon MM соответственно. Проверим, что они выведены корректно:

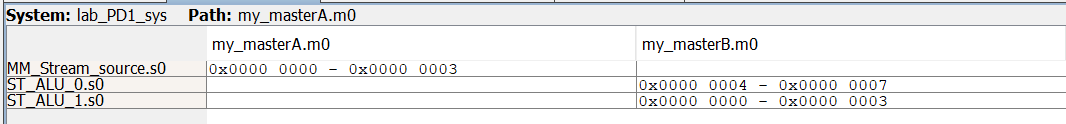


Рис. 12 – Проверка корректности адресов

Запомним базовые адреса:

* MM\_Stream\_source = 0,
* ST\_ALU\_0 = 4,
* ST\_ALU\_1 = 0.

## Настройка компонентов

### Настройка my\_masterA

Зададим адрес, по которому Ведущий **my\_masterA** будет записывать данные (он = **0**, т. к. это базовый адрес Ведомого MM\_Stream\_source). Остальное зададим так, как показано на рисунке ниже:

Изображение выглядит как текст, программное обеспечение, Значок на компьютере, веб-страница

Автоматически созданное описание

Рис. 13 – Настройка компонента my\_masterA

Запись данных будет происходить следующим образом: 100 – счёт на сложение, 200 – счёт на вычитание.

### Настройка my\_masterB

Адреса, по которому Ведущий my\_masterB будет записывать данные:

* 0 (это базовый адрес Ведомого ST\_ALU\_1)
* 4 (это базовый адрес Ведомого ST\_ALU\_0)

Записываемые данные:

* 111–сложение (тип операции ST\_ALU\_1)
* 222–умножение (тип операции ST\_ALU\_0)

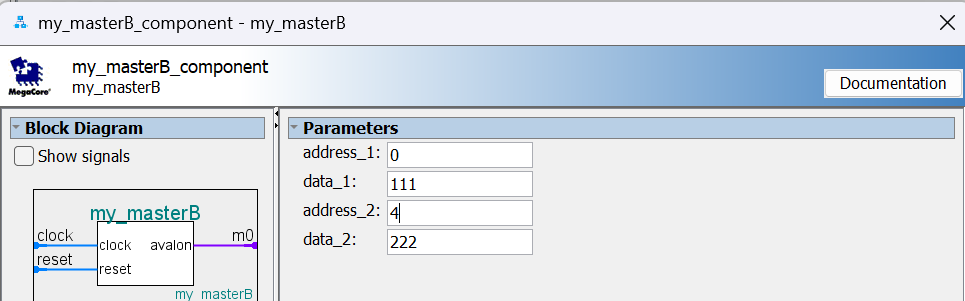


Рис. 14 – Настройка компонента my\_masterB

### Настройка st\_splitter

Установим значения:

* NUMBER\_OF\_OUTPUTS = 5
* DATA\_WIDTH = 32

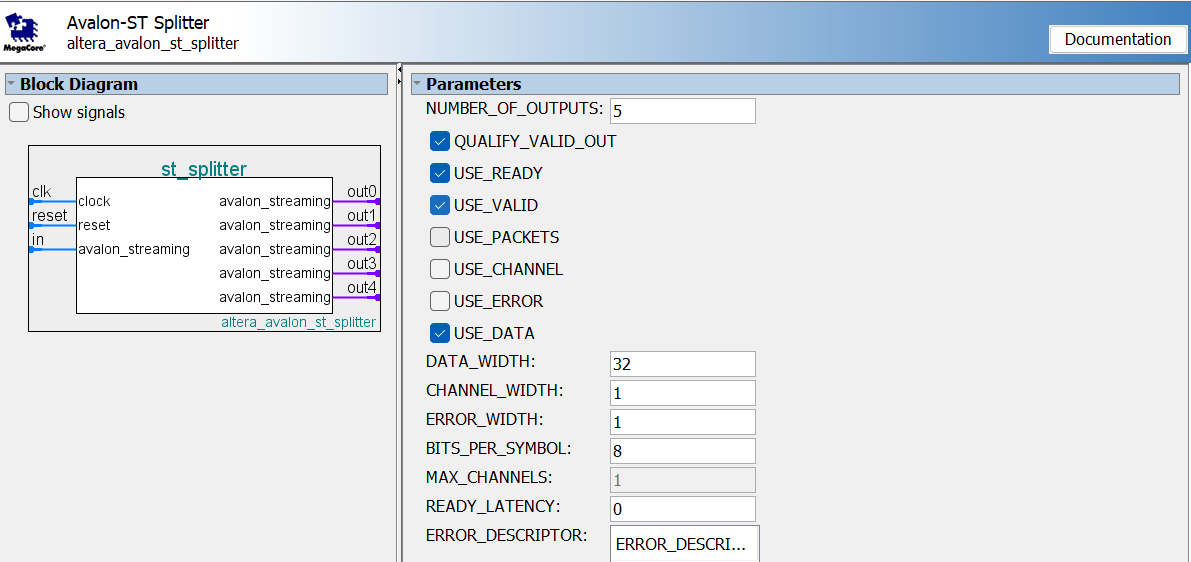


Рис. 15 – Настройка компонента st\_splitter

### Настройка st\_delay

Установим значение DATA\_WIDTH = 32

Изображение выглядит как текст, снимок экрана, программное обеспечение, Шрифт

Автоматически созданное описание

Рис. 16 – Настройка компонента st\_delay

## Подключение Avalon-ST интерфейсов

Установим подключения в столбце Connections так, как показано на рисунке ниже:

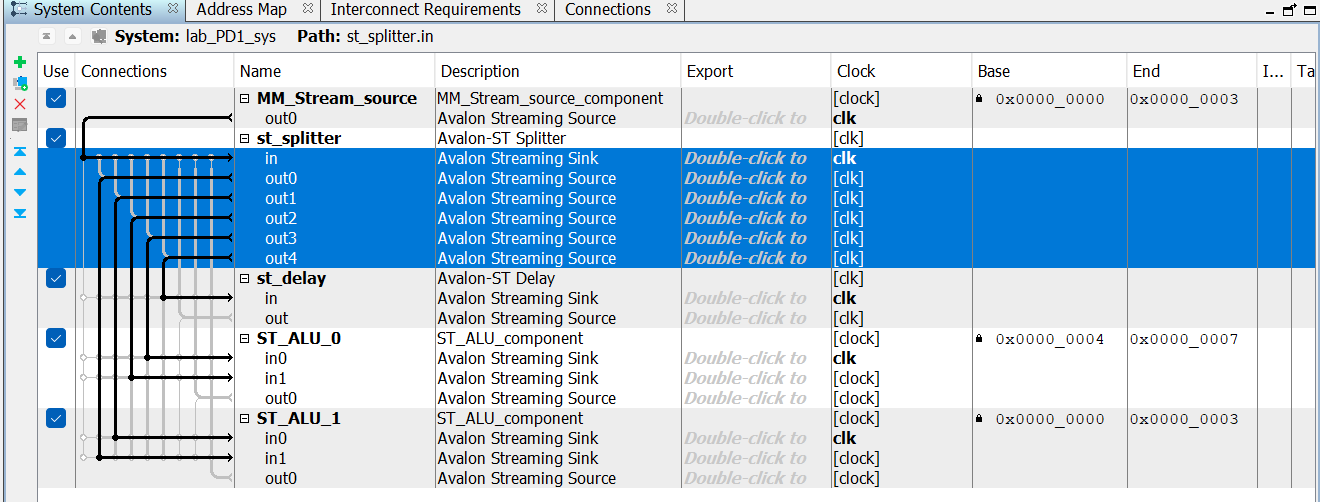


Рис. 17 – Установка подключений компонентов

Проведём экспорт выводов путём задания имён для выделенных модулей в столбце Export:

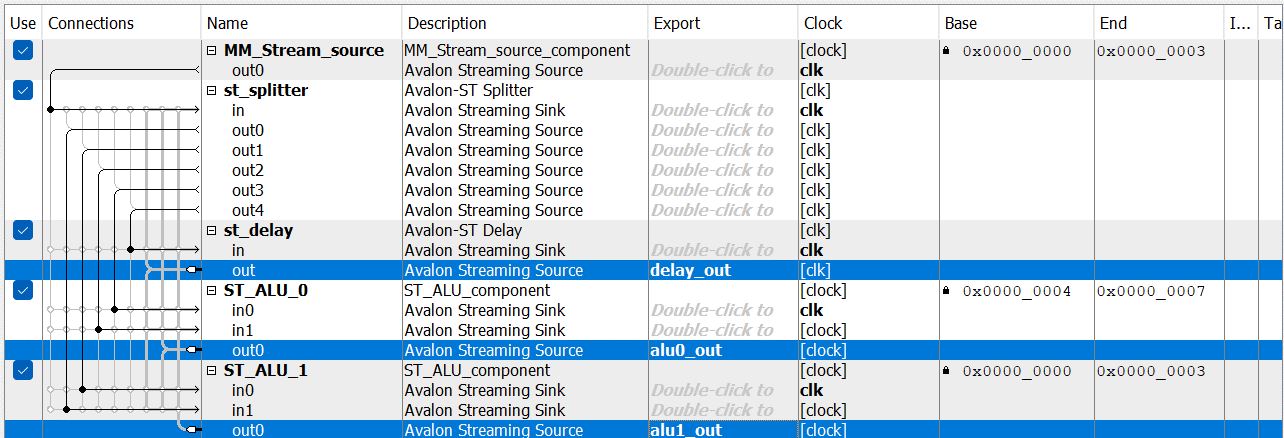


Рис. 18 – Экспорт выводов

Убедимся в том, что система не содержит ошибок и в поле Messages есть только 1 информационное сообщение:

Изображение выглядит как текст, снимок экрана, программное обеспечение, линия

Автоматически созданное описание

Рис. 19 – Проверка поля Messages на отсутствие ошибок

## Анализ системы

### Проверка блока

Выполним View → Block Symbol и убедимся в том, что символ системы построен правильно:

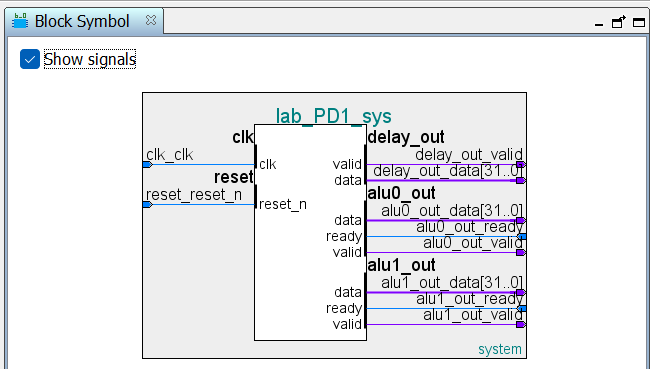


Рис. 20 – Символ системы

Выполним команду System → Show System with PD Interconnect (Show System with QSYS Interconnect). Заметим, что добавились новые модули mm\_interconnect\_0, mm\_interconnect\_1, avalon\_st\_adapter и rst\_controller (см. рисунок ниже). Обратим внимание на наличие модуля rst\_controller, который является адаптером сигнала Reset.

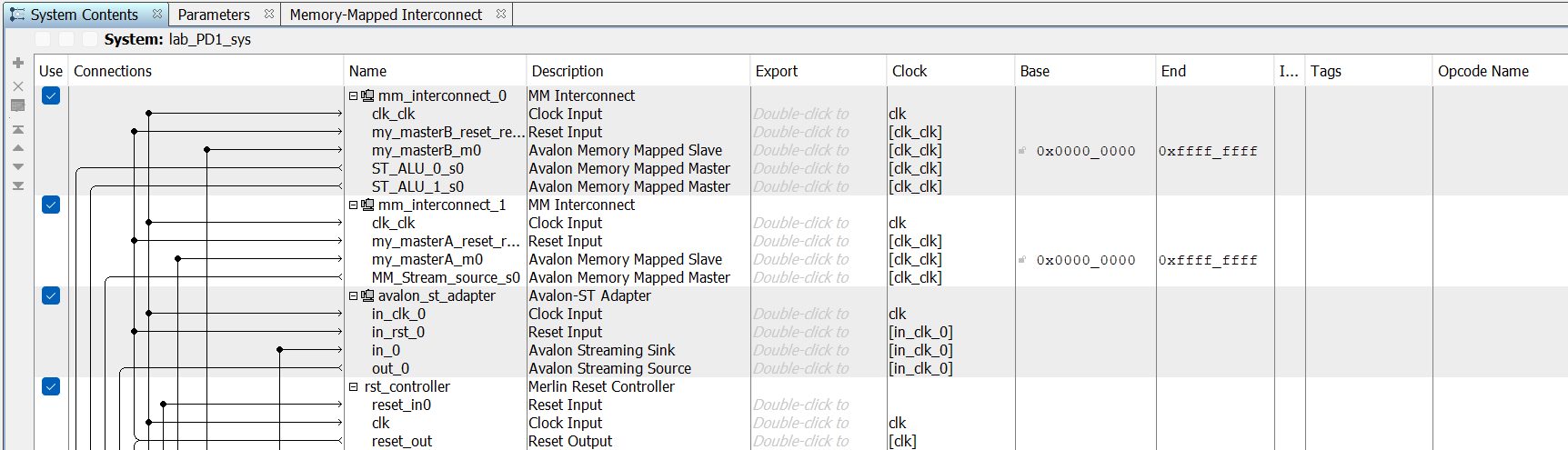


Рис. 21 – Show System with QSYS Interconnect

Выполним View → Clock domains Beta, выберем режим отображения Reset. Проблемные подключения будут отображаться в виде красных точек, при наведении курсора на них, можно увидеть сообщение с информацией о них:

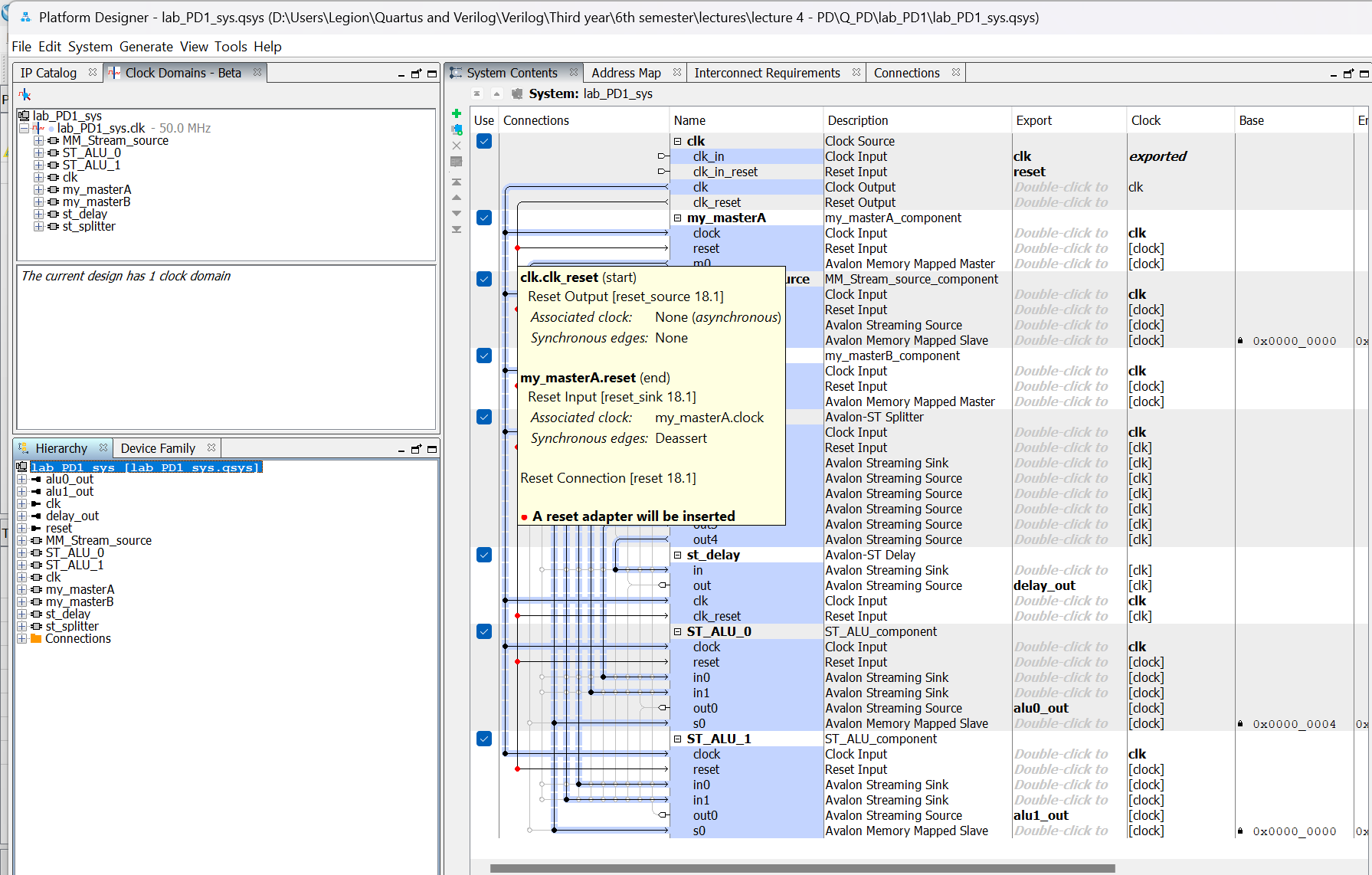


Рис. 22 – Анализ проблемных подключений

### Отладка модулей с проблемными подключениями

Внесём исправления в модуль clk:

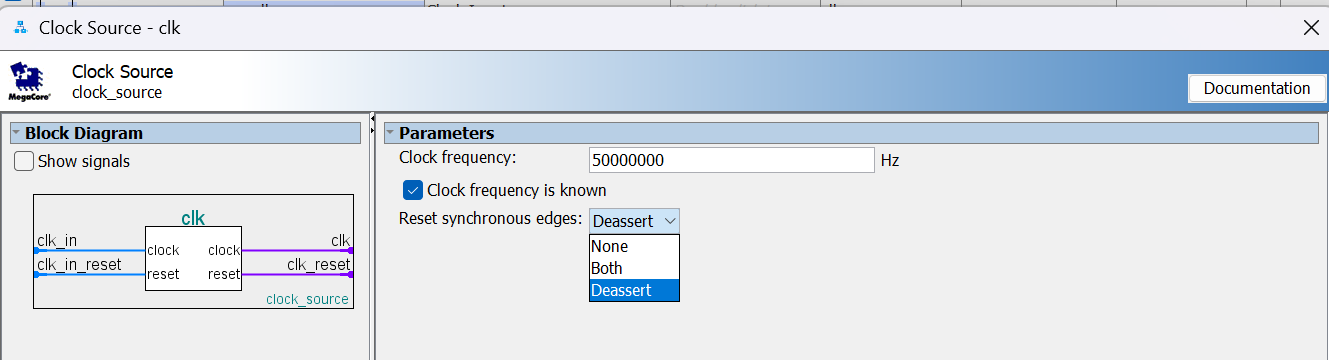


Рис. 23 – Исправленный модуль clk

Заместим, что красные точки исчезли. Теперь выполним повторно System → Show System with PD Interconnect. Теперь адаптер Reset, из-за которого возникали проблемы, должен отсутствовать в системе. Убедимся в этом:

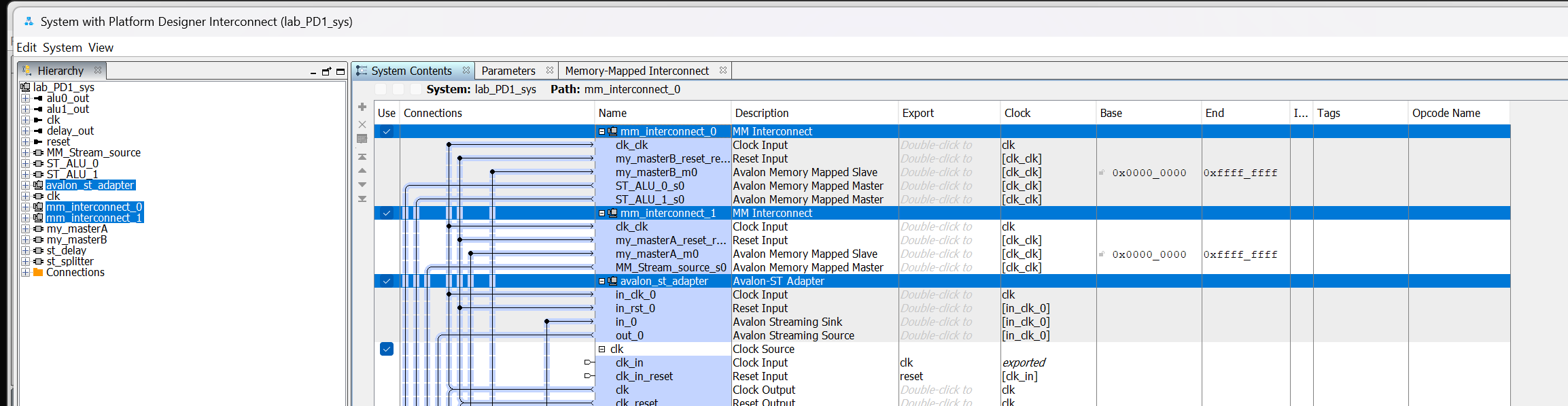


Рис. 24 – Повторное выполнение Show System with QSYS Interconnect

Назначение добавленных модулей

* mm\_interconnect\_0система межсоединений для Ведущего my\_masterA
* mm\_interconnect\_1система межсоединений для Ведущего my\_master
* avalon\_st\_adapter–адаптер между модулем st\_splitter\_0и st\_delay\_0
  + Этот адаптер потребовался в системе т. к. у модуля нет выхода Ready, а у модуляst\_splitter\_0есть –на закладке сообщений есть сообщение с информацией

Убедимся, что в системе нету ошибок:

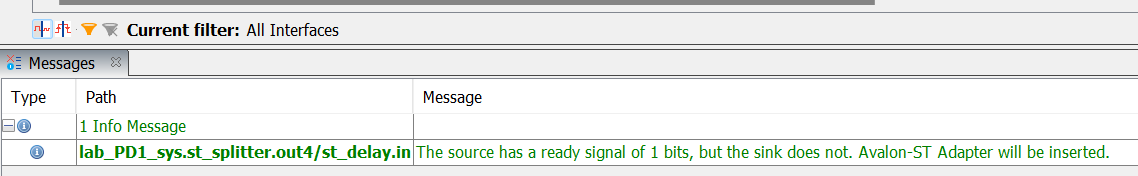


Рис. 25 – Проверка отсутствия ошибок в системе

### Анализ с помощью Schematic

Выполним View → Schematic, в качестве фильтра введём in и убедимся в том, что система синхронизации и каналы ST системы подключены верно:

Изображение выглядит как текст, дисплей, диаграмма, снимок экрана

Автоматически созданное описание

Рис. 26 – Schematic (фильтр по in)

Теперь введём в качестве фильтра clk, чтобы проверить, что шины Avalon MM подключены верно:

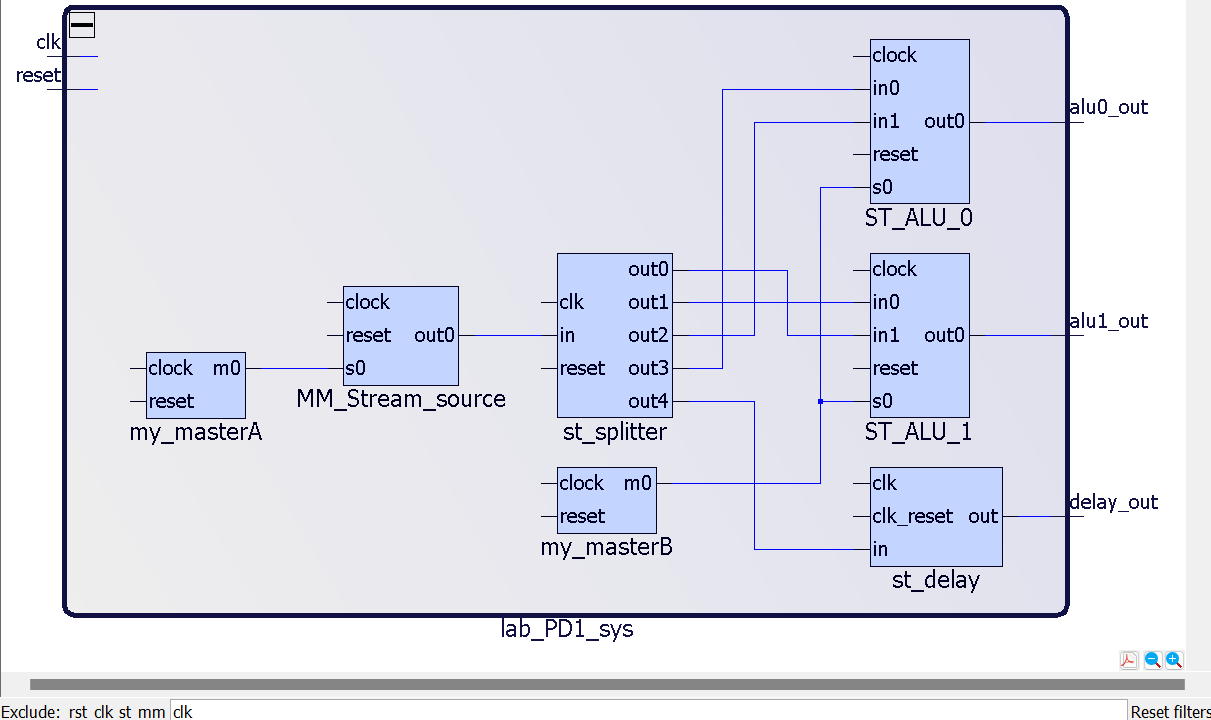


Рис. 27 – Schematic (фильтр по clk)

## Генерация системы

Выполним PD → Generate HDL и укажем следующие предустановки для генерации:

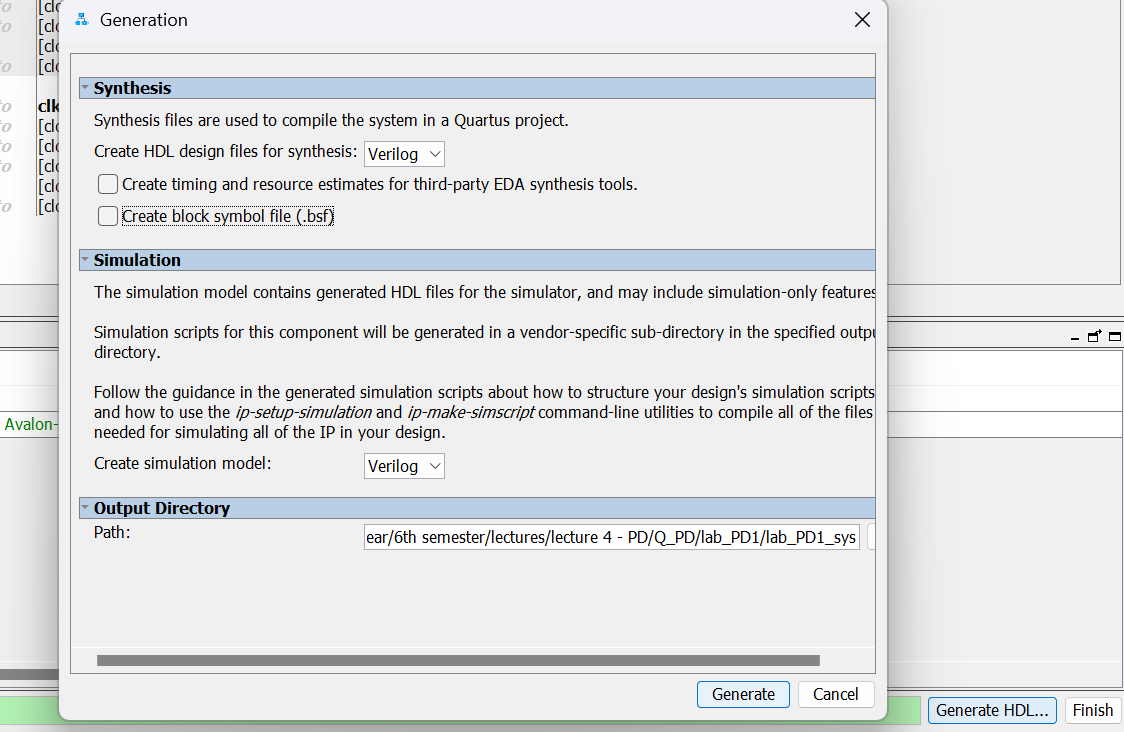


Рис. 28 – Предустановки окна Genreration

Удостоверимся в том, что генерация прошла успешно:

Изображение выглядит как текст, электроника, снимок экрана, программное обеспечение

Автоматически созданное описание

Рис. 29 – Проверка успешности генерации HDL

## Конец работы

Закончим работу в PD, нажав кнопку Finish справа снизу, после чего выведется сообщение, где говорится о том, что при необходимости можно подключить файлы к проекту пакета QP:

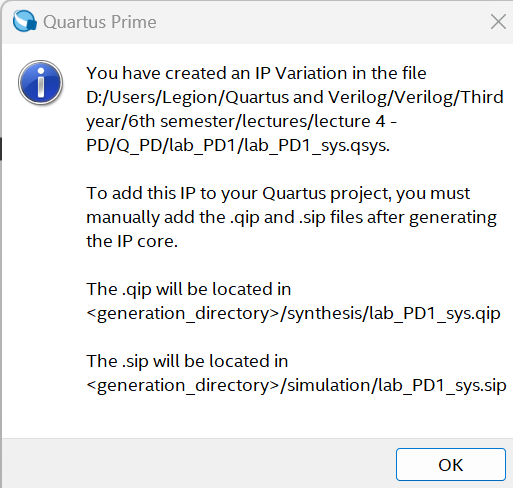


Рис. 30 – Сообщение с указанием пакетов, которые можно подключить

Проверим, что в системных файлах есть все необходимые файлы:

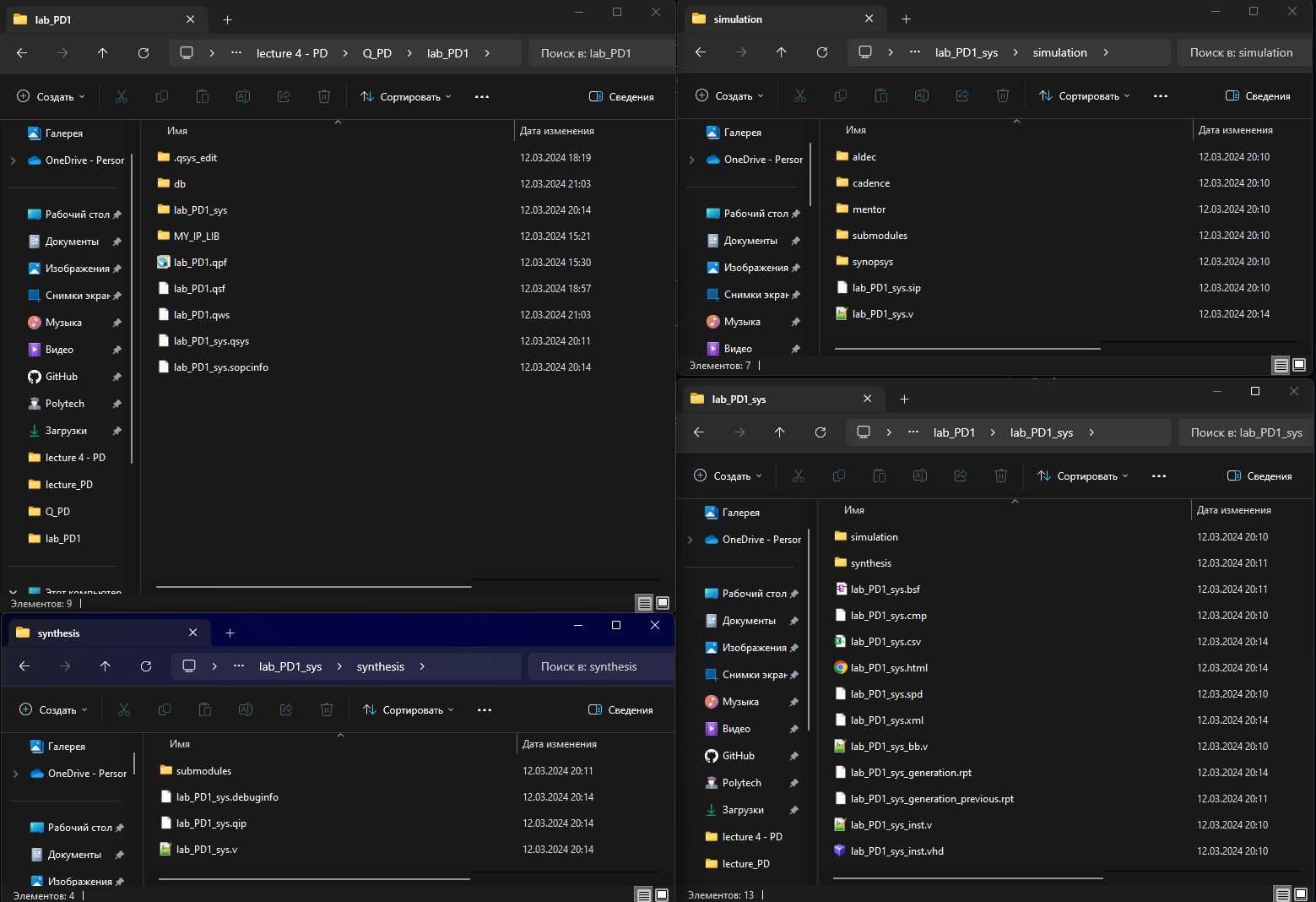


Рис. 31 – Анализ рабочей папки проекта

# Вывод

В ходе выполнения лабораторной работы была создана структура проекта с использованием Platform Designer. Этот инструмент предоставляет графический интерфейс для интеграции и настройки IP-блоков, что упрощает и ускоряет процесс разработки в сравнении с ручным написанием кода.

Преимущества Platform Designer включают в себя:

1. Ускорение разработки: Платформа предлагает готовые IP-блоки, которые могут быть легко интегрированы в проект, сокращая время разработки.
2. Упрощение процесса: Использование графического интерфейса позволяет избежать сложностей в написании и отладке кода, особенно для начинающих разработчиков.
3. Модульность и повторное использование: IP-блоки могут быть использованы в разных проектах, что способствует повторному использованию кода и упрощает поддержку проектов.
4. Визуализация системы: Платформа предоставляет графическое представление структуры проекта, что облегчает понимание и анализ системы.

Таким образом, использование Platform Designer обеспечивает эффективное управление проектом, ускоряет его разработку и повышает его надежность за счет готовых компонентов и удобного интерфейса.